



BCD #5
Priority
paper
afford
11/13/11

Pocket No.: Z&PINFP08190

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231, on the date indicated below.

By: Markus Nolf Date: August 22, 2001

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Giuseppe Curello et al.
Applic. No. : 09/904,360
Filed : July 12, 2001
Title : Process for Producing a Doped Semiconductor Substrate

CLAIM FOR PRIORITY

Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 100 34 942.0, filed July 12, 2000.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Markus Nolf
For Applicants

MARKUS NOLFF
REG. NO. 37,006

Date: August 22, 2001

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/kf

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

Aktenzeichen: 100 34 942.0

Anmeldetag: 12. Juli 2000

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Verfahren zur Erzeugung eines dotierten
Halbleitersubstrats

IPC: H 01 L 21/20

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 19. Juli 2001
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Agenda



Beschreibung

Verfahren zur Erzeugung eines dotierten Halbleitersubstrats

5 Die vorliegende Erfindung betrifft ein Verfahren zur Erzeugung eines dotierten Halbleitersubstrats. Die vorliegende Erfindung betrifft insbesondere ein Verfahren zur Erzeugung von sogenannten „retrograden“ bzw. „vergrabenen retrograden“ Dotierungsprofilen in Halbleitersubstraten, wie sie beispielsweise bei der Herstellung von hochintegrierten CMOS-Schaltungen eingesetzt werden.

1 Die fortschreitende Miniaturisierung von integrierten Schaltungen, insbesondere CMOS-Schaltungen, erfordert immer kleinere MOS-Transistoren. Insbesondere die Kanallänge der MOS-Transistoren wird dabei zunehmend reduziert. Leider zeigen die kleiner werdenden MOS-Transistoren jedoch Eigenschaften, die von den gängigen Transistormodellen, welche sich an Transistoren mit einer Kanallänge von mehr als etwa 2 μm orientieren, nicht mehr korrekt beschrieben werden. Dementsprechend werden diese Eigenschaften häufig unter dem Begriff „Kurzkanal-Effekte“ („short-channel effects“) zusammengefasst. Ein wesentlicher Kurzkanal-Effekt ist beispielsweise der Einfluss der Gategröße auf die Einsatzspannung (threshold voltage V_T) des Transistors. So verringert sich in der Regel die Einsatzspannung mit kleiner werdenden Kanallänge (V_T roll-off) bei Transistoren, deren Kanallängen kleiner als 0,7 μm ist.

30 Zur Kompensation der Kurzkanal-Effekte hat man bisher in der Regel die Dotierung im Kanal zwischen Source und Drain erhöht. So werden beispielsweise bei Transistoren mit einer Kanallänge von 0,25 μm Dotierungen von etwa 3×10^{17} pro cm^2

verwendet. Eine derart hohe Kanaldotierung hat jedoch eine reduzierte Beweglichkeit der Ladungsträger im Kanal zur Folge. Weiterhin führt eine hohe Kanaldotierung zu einer relativ hohen Einsatzspannung. Beide Auswirkungen der relativ hohen Kanaldotierung sind in der Regel nicht erwünscht. Daher wurde vorgeschlagen diese Schwierigkeiten dadurch zu umgehen, dass sogenannte „retrograde“ Dotierprofile im Kanalbereich eingesetzt werden. Retrograde Dotierprofile sind dadurch gekennzeichnet, dass ausgehend von der Oberfläche des Halbleitersubstrats die Dotierung, zumindest über einen vorgegebenen Bereich, mit zunehmender Tiefe ansteigt. Es hat sich gezeigt, dass derartige Dotierprofile Kurzkanal-Effekte gut kompensieren können ohne dass die Beweglichkeit der Ladungsträger wesentlich beeinträchtigt wird. Auch sogenannte Delta-Dotierprofile, bei denen die Dotierung auf einen räumlich sehr kleinen Bereich eingeengt ist, können Kurzkanal-Effekte gut kompensieren ohne dass die Beweglichkeit der Ladungsträger wesentlich beeinträchtigt wird. In beiden Fällen ist es wünschenswert, dass das Maximum der Dotierung so nah wie möglich an die Oberfläche des Halbleitersubstrats heranzuführen, gleichzeitig aber eine niedrige Dotierung an der Oberfläche beizubehalten.

Leider sind derartig steile, retrograde Dotierprofile bzw. Delta-Dotierprofile mit den herkömmlichen, in der Massenfertigung eingesetzten Dotierungsverfahren nicht herzustellen. Daher wurden einige Alternativen zur Erzeugung steiler retrograde Dotierprofile vorgeschlagen. Das US Patent 5,963,801 (Aronowitz et al.) beschreibt ein Verfahren zur Herstellung eines retrograden Dotierprofils, das auf einer Dotierstoffimplantation bei Energien von 150 bis 220 keV unter Ausnutzung des sogenannten „channeling effects“ beruht. Wird die Dotierstoffimplantation entlang einer

kristallographischen Vorzugsrichtung des Siliziumkristalls ausgerichtet, so können die Dotierstoffe deutlich tiefer in das Siliziumsubstrat eindringen als dies sonst bei gleicher Implantationsenergie möglich wäre. Das US Patent 5,989,963 (Luning et al.) beschreibt ein Verfahren zur Herstellung eines retrograden Dotierprofils, das auf einer Dotierstoffimplantation mit anschließender Wärmebehandlung in einer hochreinen Inertgasatmosphäre unter Ausnutzung des sogenannten „TED-Effekts“ (transient enhanced diffusion) beruht. Beide Verfahren sind jedoch relativ schwierig zu steuern und zu kontrollieren, so dass bisher nicht in der industriellen Produktion eingesetzt werden.

Die Veröffentlichung „0,1 μm Delta-doped MOSFET Using Post Low-energy Implanting Selective Epitaxy“ by K. Noda et al. Symposium on VLSI Technology Digest of Technical Papers 3A.2 (1994) beschreibt ein Verfahren zur Erzeugung eines Delta-Dotierprofils durch die Verwendung von selektiver Silizium-Epitaxie. Das Verfahren ist jedoch sehr aufwendig und damit für die industrielle Anwendung, bei der es vor allem auf Durchsatz und Reproduzierbarkeit ankommt, nicht geeignet.

Der vorliegenden Erfindung liegt daher die Aufgabe zugrunde, ein Verfahren zur Erzeugung eines dotierten Halbleitersubstrats bereitzustellen, das auch sehr steile Dotierungsprofile erzeugen kann und das für den Einsatz in der Massenfabrikation geeignet ist.

Diese Aufgabe wird durch die Verfahren zur Erzeugung eines dotierten Halbleitersubstrats gemäß des unabhängigen Patentanspruchs 1 gelöst. Weitere vorteilhafte Ausführungsformen, Ausgestaltungen und Aspekte der vorliegenden Erfindung ergeben sich aus den abhängigen

Patentansprüchen, der Beschreibung und den beiliegenden Zeichnungen.

Erfindungsgemäß wird ein Verfahren zur Erzeugung eines
5 dotierten Halbleitersubstrats mit den folgenden Schritten bereitgestellt:

a) ein Halbleitersubstrat wird bereitgestellt;

10 b) in dem Halbleitersubstrat wird an der Oberfläche eine Dotierung erzeugt;

c) auf die Oberfläche wird eine polykristalline oder amorphe Schicht aufgebracht; und

15

d) eine Wärmebehandlung wird durchgeführt, so dass eine epitaktische Schicht und eine vergrabene Dotierung erzeugt werden.

20 Mit dem erfindungsgemäßen Verfahren kann eine vergrabene, präzise definierte Dotierungsschicht in einem monokristallinen Halbleitersubstrat erzeugt werden, die in einer vorgegebenen Tiefe des Halbleitersubstrats liegt, wobei die Tiefe im wesentlichen durch die Dicke der aufgetragenen
25 polykristallinen und/oder amorphen Schicht (Poly/ α -Schicht) gegeben ist. Die freie Wahl der Dicke der Poly/ α -Schicht und unabhängig davon die freie Wahl der Dotierungskonzentration der darunterliegenden Dotierungsschicht ermöglichen eine große Gestaltungsfreiheit des dreidimensionalen
30 Dotierungsdesigns, die sonst nur mit aufwendigen Prozessschritten wie der selektiven Epitaxie oder der Molekular-Beam-Epitaxie (MBE) möglich sind. Obwohl das erfindungsgemäße Verfahren im Hinblick auf die Herstellung

von MOS-Transistoren im deep sub- μm Bereich (Gatelänge <200 nm) entwickelt worden sind, ist das Verfahren nicht auf Anwendungen zur Herstellung von Dotierungsprofilen von NMOS- und PMOS-Transistorkanälen beschränkt sondern kann überall
5 dort eingesetzt werden, wo vergrabene Dotierungsschichten bzw. Delta-Dotierungen von Vorteil sind.

Bevorzugt wird dabei die Wärmebehandlung bei einer Temperatur von etwa 600° bis 700°C , insbesondere bevorzugt 650°C ,
10 durchgeführt. Die niedrige Temperatur minimiert die Diffusion der Dotierungsschicht in die benachbarten Regionen. Dadurch bleibt die Dotierungsschicht hochdotiert und die Diffusion des Dotierungsmaterials in die benachbarten Regionen wird minimiert. Autodoping, d.h. die Dotierung einer wenig oder
15 undotierten Schicht durch Eindiffusion von Dotierungsmaterial von der benachbarten hochdotierten Schicht, kann dadurch auf ein Minimum reduziert werden. Dies ist insbesondere dann von Vorteil, wenn die Poly/ α -Schicht, die im erfindungsgemäßen Verfahren anschließend kristallisiert wird, die Region eines
20 Transistorkanals mit hoher Leitfähigkeit definieren soll.

Eine Schwierigkeit bei der Aufbringung von monokristallinen (epitaktischen) Schichten auf ein monokristallines Halbleitersubstrat, insbesondere auf ein Silizium-
25 Halbleitersubstrat, ist die spontane Bildung einer natürlichen Oxidschicht auf dem Halbleitersubstrat. Das natürliche Oxid kann das monokristalline Aufwachsen einer weiteren Schicht behindern sowie das elektrische Verhalten des Halbleitersubstrats nach Aufbringung der weiteren Schicht
30 negativ beeinflussen. Leider lässt sich die Bildung einer Oxidschicht bei den üblichen Prozessen zur Aufbringung von Poly/ α -Schichten, z.B. ein LPCVD-Prozessschritt, nur mit großen Aufwand verhindern. Daher ist es gemäß einer

Ausführungsform der vorliegenden Erfindung bevorzugt, wenn vor der abschließenden Wärmebehandlung ein Ionenbeschuss durchgeführt wird, der dazu dient, die natürliche Oxidschicht zu zerstören.

5

Gemäß einer weiteren Ausführungsform der vorliegenden Erfindung ist es bevorzugt, wenn vor der abschließenden Wärmebehandlung ein RTA-Prozessschritt (Rapid Thermal Anneal) durchgeführt wird. Der RTA-Prozessschritt zerstört ebenfalls
10 die Oxidschicht, die sich zwischen der Poly/ α -Schicht und dem Substrat bilden kann. Die Erhitzung im RTA-Prozessschritt ist bevorzugt so kurz, dass sich das Dotierungsprofil der Dotierungsschicht im wesentlichen nicht verändert.

15 Das vertikale Dotierungsprofil des Halbleitersubstrats setzt sich nach Anwendung des erfindungsgemäßen Verfahren aus dem Dotierungsprofil der Poly/ α -Schicht, dem Dotierungsprofil der Dotierungsschicht und dem Dotierungsprofil der darunterliegenden, tieferen Schichten zusammen. Bevorzugt
20 wird die Poly/ α -Schicht während oder nach der Abscheidung nicht dotiert.

Bevorzugt wird die Dotierung an der Substratoberfläche durch Implantation erzeugt, wobei bevorzugt Dotierungsmaterialien
25 mit einer niedriger Diffusionskonstante, wie z.B. Sb, As oder In, benutzt werden, so dass die Dotierung bzw. Dotierungsschicht ein scharfes Dotierungsprofil aufweist. Da die Dotierung der Dotierungsschicht vor Aufbringung der Poly/ α -Schicht geschieht und somit von der Oberfläche der
30 Dotierungsschicht her erfolgen kann, kann die Dotierung auch durch alle anderen gängigen Dotierungsverfahren durchgeführt werden.

Das aus den erfindungsgemäßen Verfahren resultierende vertikale Dotierungsprofil ist insbesondere für die Dotierung einer Kanalregion für hochintegrierte MOS-Transistoren geeignet. Beide Verfahren ermöglichen eine niedrige Dotierung an der Halbleiteroberfläche, dem Bereich in dem später der Transistorkanalstrom fließt (ehemals Poly/ α -Schicht), und eine hohe Dotierung direkt unterhalb des Transistorkanals (Dotierungsschicht). Die niedrige Dotierung im Kanalbereich gewährleistet eine hohe Ladungsträgermobilität, so dass die Steilheit der Transistorkennlinie und damit die Schaltgeschwindigkeit des Transistors hoch ist, während die hohe Dotierung unterhalb des Kanals für eine gute Unterdrückung des sogenannten „Punch-Through“ zwischen Drain und Source sorgt. Die Unterdrückung des Punch-Through gewährleistet somit, dass die MOS-Transistoren auch bei sehr kurzen Kanallängen, insbesondere von Kanallängen im sub- μm Bereich, steuerbar bleiben.

Bevorzugt ist das Halbleitersubstrat aus monokristallinem Silizium. Als Halbleitersubstrat können jedoch auch andere Halbleitermaterialien wie z.B. GaAs oder Germanium verwendet werden. Auch die auf das Halbleitersubstrat aufzubringende Poly/ α -Schicht kann aus verschiedenen Halbleitermaterialien bestehen. Bevorzugte Materialien sind jedoch Materialien mit ähnlicher Gitterstruktur wie die vom Halbleitersubstrat, damit ein monokristallines Aufwachsen der zu kristallisierenden Poly/ α -Schicht auf dem Halbleitersubstrat gewährleistet ist. Bevorzugt ist die Poly/ α -Schicht jedoch aus Silizium, insbesondere dann, wenn auch das Halbleitersubstrat aus Silizium ist. Die Poly/ α -Schicht wird bevorzugt in einem kostengünstigen Niederdruck-CVD Prozess (LPCVD-Prozess) auf das dotierte Halbleitersubstrat aufgebracht. Bevorzugt ist die Temperatur bei diesem Schritt

niedrig, damit die Dotierungsatome der benachbarten Dotierungsschicht im wesentlichen nicht diffundieren und die Poly/ α -Schicht nicht durch Diffusion der Diffusionsmaterialien aus der Dotierungsschicht verunreinigt wird (Autodoping). Weiterer Vorteil der niedrigen Temperatur ist die kleinere Korngröße der Poly/ α -Schicht, die unter 580° C überwiegend amorph ist, und die eine spätere Kristallisierung erleichtert. Bevorzugte Temperatur für den Low-Pressure CVD-Prozessschritt ist beispielsweise 500° C bis 600° C.

Die Dicke der Poly/ α -Schicht ist im weiten Bereich je nach Anwendung frei wählbar. Sie kann im Bereich von wenigen Nanometern bis hin zum Bereich von Mikrometern liegen. Für die Anwendung des erfindungsgemäßen Verfahrens zur Erzeugung eines MOS-Transistorkanals beträgt die Dicke der Poly/ α -Schicht bevorzugt etwa 20 nm bis 40 nm.

Gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung wird vor Schritt d) durch Ionenbeschuss eine amorphe Schicht erzeugt, die bis in eine vorgegebene Tiefe in das Halbleitersubstrat reicht. Die Dicke der amorphen Schicht ist im wesentlichen durch die Energie und Atommasse der Ionen, bestimmt. Bevorzugt werden Ionen für den Beschuss gewählt, die einerseits ausreichend schwer für eine Amorphisierung des Halbleitersubstrats sind und sich andererseits bei der späteren Kristallisierung so in das Halbleitergitter einbauen, dass das Halbleiterverhalten des Halbleitersubstrats elektronisch nicht wesentlich verändert wird. Bevorzugt werden für ein Siliziumsubstrat Germanium-Ionen verwendet, da sie schwerer als Silizium sind und sich problemlos in das Siliziumgitter einbauen lassen. Es können aber auch Silizium-, Edelgas- und/oder andere Ionen auf das

Halbleitersubstrat geschossen werden, solange sie das elektronische Verhalten nach der Kristallisierung nicht wesentlich verändern.

- 5 Bevorzugt reicht die amorphe Schicht vertikal durch die Poly/ α -Schicht hindurch, damit zum einen die Poly/ α -Schicht komplett amorphisiert ist, zum anderen aber auch natürliche Oxidschicht, die sich vor der Beschichtung mit der Poly/ α -Schicht auf der Hautoberfläche gebildet hat und nun zwischen
- 10 Poly/ α -Schicht und Halbleitersubstrat eingebettet ist, durch den Ionenbeschuss zerstört wird. Bevorzugt reicht die amorphe Schicht so weit in das Halbleitersubstrat hinein, dass die Grenzschicht zwischen amorpher Schicht und nicht-
- 15 amorphisiertem Halbleitersubstrat ausreichend weit weg von den noch zu erzeugenden funktionalen Strukturen an der Halbleitersubstratoberfläche ist. Der Grund hierfür ist der, dass die Grenzschicht zwischen amorpher Schicht und nicht-
- 20 amorphisiertem Halbleitersubstrat erfahrungsgemäß nach der Kristallisation ein erhöhtes Maß an Gitterfehlstellen und Gitterdefekten aufweist (End-of-Range-Defects), die zu erhöhten Leckströmen, Trapping oder anderen Defekten führen und dadurch die Funktionalität von Transistoren oder anderen Strukturen auf dem Halbleitersubstrat beeinträchtigen können.
- 25 Für die Erzeugung eines Transistorkanals nach dem erfindungsgemäßen Verfahren wird beispielsweise die Schichtdicke der amorphen Schicht bevorzugt so gewählt, dass sie durch die Dotierungsschicht hindurchreicht, damit die End-of-Range Defekte tiefer als die Dotierungsschicht im
- 30 Halbleitersubstrat liegen und so keinen Einfluss auf den Transistorkanal haben. Ein weiterer Vorteil der amorphen Schicht, die durch die Dotierungsschicht hindurchreicht, liegt darin, dass das die Dotierungsschicht bei der

Kristallisierung gleichzeitig ausgeheilt werden kann.
Bevorzugt ist die amorphe Schicht etwa 500 bis 1000 nm dick.

Die Dosis des Ionenbeschusses ist bevorzugt so zu wählen,
5 dass die amorphe Schicht vollständig amorphisiert ist, um
anschließend bei niedriger Temperatur auf dem
Halbleitersubstrat monokristallin wieder aufzuwachsen. Für
Germanium wird eine Dosis von bevorzugt $3 \times 10^{14} \text{ cm}^{-2}$ für die
Amorphisierung verwendet.

10

Nach der Amorphisierung wird die amorphe Schicht
kristallisiert, d.h. monokristallin auf das nicht-
amorphisierte Halbleitersubstrat wieder aufgewachsen (Solid-
Phase-Epitaxie). Dieser Prozessschritt wird bevorzugt durch
15 eine Wärmebehandlung bei einer bevorzugten Temperatur
zwischen 600° und 700° Grad, bevorzugt bei 650° C,
durchgeführt, so dass das Dotierungsprofil der
Dotierungsschicht nur unwesentlich beeinflusst wird.
Insbesondere kann durch die niedrige Temperatur erreicht
20 werden, dass nur sehr wenig Dotierungsmaterial in den Bereich
der vormaligen Poly/ α -Schicht diffundiert, so dass dieser
Bereich seine hohe Ladungsträgermobilität beibehält. Die
Dauer dieses Temperaturschritts hängt von der Dicke der
amorphen Schicht ab, die zu kristallisieren ist. Für eine
25 amorphe Schicht von etwa 500 nm beträgt die Dauer bevorzugt
nur wenige Minuten.

30

Gemäß einer weiteren Ausführungsform der vorliegenden
Erfindung wird vor Schritt d) ein RTA-Prozessschritt
30 durchgeführt, der die natürliche Oxidschicht, die zwischen
Poly/ α -Schicht und Dotierungsschicht eingebettet ist,
zerbricht. Bevorzugt erhitzt der RTA-Prozessschritt das
Halbleitersubstrat auf eine Temperatur von 1000° bis 1100°

Grad Celsius mit einer bevorzugten Dauer von 10 bis 60 s.
Durch diesen Hochtemperaturprozessschritt wird die
Oxidschicht in der Regel in sub-nm große Oxidinseln (SiO_x
sub-nm beads) zerlegt, die jedoch für die meisten Anwendungen
5 kein Problem darstellen.

Anschließend wird ebenfalls Solid-Phase-Epitaxie
durchgeführt. Auch hier wird eine niedrige Temperatur um 600°
bis 700° Grad bevorzugt, damit das Dotierungsprofil nicht
10 durch Diffusion zerfließt. Es muss jedoch lediglich die
Poly/ α -Schicht kristallisiert werden, so dass die
Prozessdauer der Kristallisierung im Vergleich zu dem
Verfahren mit zusätzlichen Ionenbeschuss bei gleichem
Schichtaufbau kürzer ist.

15 Die Erfindung wird nachstehend anhand mehrerer
Ausführungsbeispiele unter Bezugnahme der Zeichnungen näher
dargestellt. Es zeigen:

20 Fig. 1a-1d Schritte einer ersten Ausführungsform des
erfindungsgemäßen Verfahrens und das zugehörige
vertikale Dotierungsprofil.

25 Fig. 2a-2b Schritte einer zweiten Ausführungsform des
erfindungsgemäßen Verfahrens und das zugehörige
vertikale Dotierungsprofil.

Figur 1a bis 1d zeigen eine ersten Ausführungsform des
erfindungsgemäßen Verfahrens. Die Ausführungsform ist
30 beispielsweise Teil einer Prozessschrittfolge zur Herstellung
von MOS-Transistoren mit sehr kleiner Gatelänge. Das
erfindungsgemäß hergestellte Dotierungsprofil sorgt im
Bereich des Transistorkanals dafür, dass auf der einen Seite

ein „Punch-Through“ zwischen Drain und Source durch eine hohe Implantationsdosis unterbunden wird und auf der anderen Seite die gute Ladungsträgermobilität im Transistorkanal durch eine niedrige Dotierung gewährleistet ist.

5

Fig. 1a zeigt das Halbleitersubstrat 1 aus monokristallinem Silizium mit einer Hauptoberfläche 2, an der bevorzugt durch Ionenimplantation eine Dotierung 3 erzeugt worden ist. Das vertikale Dotierungsprofil 5 setzt sich zusammen aus dem
10 Dotierungsprofil des Halbleitergrundsubstrats 5a, das in dieser Ausführung flach ist und z.B. durch die Grunddotierung des Wafers oder einer Dotierungswanne, in der ein Transistor eingebettet werden soll, gegeben ist. Das Dotierungsprofil 5b der Dotierungsschicht 3 ist durch das Verfahren der Dotierung
15 gegeben. Ist die Dotierung durch Ionenimplantation erzeugt, so ist das Dotierungsprofil 5b der Dotierungsschicht 3 im wesentlichen durch eine Gauss'sche Verteilung gegeben, in deren genaue Ausformung Parameter wie Implantationsenergie, Atommasse des Implantats und Dosis einfließen.

20

In der gezeigten Ausführung erfolgt die Dotierung mit bevorzugt mit Bor-Ionen für die NMOS-Kanal und As bzw. Sb-Ionen für den PMOS-Kanal, so dass delta-förmiges Dotierprofil erzeugt wird. Fig. 1a zeigt weiterhin die sehr dünne
25 natürliche Oxidschicht 4, die sich durch den Sauerstoff in der Umgebung auf der Dotierungsschicht 3 ausbildet.

30

Fig. 1b zeigt das Halbleitersubstrat 1 nachdem die Poly/ α -Schicht 7 aus Silizium auf die Hauptoberfläche 2 abgeschieden ist. Die Abscheidung erfolgt bevorzugt durch ein
standardmäßiges Low-Pressure-CVD (LPCVD)-Verfahren mit bevorzugt undotiertem Silizium. Die Abscheidung wird bevorzugt für die PMOS- und NMOS-Kanäle in einem Schritt

erzeugt. Die Dicke der Poly/ α -Schicht 7 reicht bevorzugt aus, um den späteren Transistorkanalquerschnitt zu umfassen. Sie beträgt bevorzugt 20 nm bis 40 nm. Das Dotierungsprofil der Poly/ α -Schicht 5c ist wegen der Abwesenheit eines
5 nachfolgendem oder in situ Dotierungsschrittes sehr niedrig. Es können jedoch auch dotierte Poly/ α -Schichten verwendet werden. Da in dieser Ausführung die Poly/ α -Schicht die Transistorkanalregion definiert, ist jedoch eine möglichst niedrige Dotierung wünschenswert, um nach der
10 Kristallisierung ein Schicht mit sehr guter Ladungsträgermobilität zu erhalten.

Die Temperatur bei der LPCVD-Abscheidung ist bevorzugt niedrig, bevorzugt zwischen 500° C - 600° C, um das
15 Dotierungsprofil der Dotierungsschicht 5b durch erhöhte Diffusion nicht auseinander laufen und in die Poly/ α -Schicht eindringen zu lassen. Außerdem wird die Korngröße der Poly/ α -Schicht 7 bei zunehmend niedrigeren Temperaturen kleiner, was eine fehlerfreie Kristallisierung anschließenden
20 erleichtert. Die natürliche Oxidschicht 4 ist nun zwischen der Poly/ α -Schicht 7 und der Dotierungsschicht 3 eingebettet.

Fig. 1c zeigt das Halbleitersubstrat 1 während des
25 Ionenbeschusses zur Erzeugung einer amorphen Schicht 13 (Post-Amorphisierung). Bevorzugt wird mit schweren Ionen, insbesondere mit Germanium-Ionen amorphisiert, die später in das Siliziumgitter eingebaut werden, ohne die elektrischen Eigenschaften des Siliziumgitters wesentlich zu verändern.
30 Die Dicke der amorphen Schicht ist durch den Doppelpfeil 14 angegeben. Die amorphe Schicht 13 reicht vertikal durch die Poly/ α -Schicht 7 und bevorzugt durch die Dotierungsschicht 3

bis in eine vorgegebene Tiefe des Halbleitersubstrats zur Linie 15, die den amorph/kristallinen Übergang nach dem Ionenbeschuss darstellt.

5 Der amorph/kristalline Übergang 15 ist deswegen von Bedeutung, da an dem Grenzbereich der Ionenbeschuss keine vollständige Amorphisierung herbeiführen kann, so dass bei der Kristallisierung dort Gitterdefekte zurückbleiben (End-of Range Defekte), die zu erhöhten Leckströmen, Traps oder
10 dergleichen führen und die Funktion des Transistors beeinträchtigen können. Aus diesem Grund ist die Dicke der amorphen Schicht 14 so groß gewählt, dass die End-of-Range Defekte jenseits des Einflussgebietes der späteren Transistorkanalregion liegen. Eine bevorzugte Dicke der
15 amorphen Schicht in dieser Ausführung ist 500 nm bis 1000 nm.

Neben der Zurückdrängung der End-of-Range Defekte in eine größere Tiefe des Halbleitersubstrats 1 zerstört der Ionenbeschuss 10 auch die natürliche Oxidschicht 4, so dass
20 durch die anschließende Wärmebehandlung (Solid Phase Epitaxy) eine durchgängig monokristalline, epitaktische Schicht erzeugt werden kann.

Figur 1d zeigt das Halbleitersubstrat 1 nach der
25 Kristallisierung. Die Kristallisierung erfolgt bevorzugt durch eine Wärmebehandlung bei niedriger Temperatur, bevorzugt bei 650 C, um das Dotierungsprofil der Dotierungsschicht nicht durch erhöhte Diffusion zerfließen zu lassen. Das Material der amorphen Schicht 13 mit der durch
30 den Doppelpfeil gekennzeichneten Dicke 14 ist dabei monokristallin auf das nicht-amorphisierte Halbleitersubstrat 12 aufgewachsen worden (Solid-Phase-Epitaxie), so dass eine epitaktische Schicht 20 gebildet wurde. Nach diesem

Prozessschritt bleibt nur eine dünne Schicht mit End-of-Range Defekten 22 übrig; dieses Gebiet ist das Übergangsgebiet zwischen dem ehemals nicht-amorphisierten Halbleitersubstrat 12 und der amorphen Schicht 13, das während der

5 Kristallisierung nicht fehlerfrei zusammenwächst. Da dieses Gebiet, vom Transistorkanal aus gesehen, jenseits der Dotierungsschicht liegt, können die dortigen Defekte das Transistorverhalten nicht beeinflussen.

10 Fig. 1d zeigt weiterhin, dass die natürliche Dotierungsschicht verschwunden ist, so dass ein im wesentlichen fehlerfreier Übergang zwischen der Dotierungsschicht 3 und der vormaligen Poly/ α -Schicht 7 hergestellt ist. Ebenso ist erkennbar, dass das

15 Dotierungsprofil 5 sich während der Prozessschritte nicht oder nur unwesentlich verändert hat.

Am Schluss wird bevorzugt eine Nassätzung durchgeführt, um Oxidreste von der Oberfläche der epitaktischen Schicht 20 zu

20 entfernen und die Oberflächenqualität für das nun aufzubringende Gateoxid zu verbessern.

Zur Steigerung des Durchsatzes kann die Solid-Phase-Epitaxie auch in einem Arbeitsgang gleichzeitig mit der Erzeugung des

25 Gateoxids durchgeführt werden. So kann auf eine zusätzliche Wärmebehandlung für die Solid-Phase-Epitaxie verzichtet werden. In diesem Fall wird die Nassätzung zur Entfernung von Oxidresten vor der Solid-Phase-Epitaxie durchgeführt.

30 Fig. 2a und 2b zeigen eine zweiten Ausführungsform des erfindungsgemäßen Verfahrens für die gleiche Anwendung wie in der oben beschriebenen Ausführung. Die ersten Schritte sind dabei identisch mit den Schritten, die in Fig. 1a und 1b

gezeigt sind. Um die natürliche Oxidschicht 4 zu zerstören wird nun jedoch nicht mit Ionen auf das Halbleitersubstrat 1 geschossen, sondern ein RTA-Prozessschritt (Rapid Thermal Anneal) durchgeführt. Der Hochtemperaturprozessschritt 5 zerstört die natürliche Oxidschicht soweit, dass lediglich sub-nm kleine SiO_x -Oxidinseln 25 übrigbleiben, die auf die Funktion des Transistorkanals keinerlei Einfluss haben. Bevorzugt wird der Hochtemperaturprozessschritt mit einem RTA-Ofen bei einer Temperatur von etwa 1050° für 20 s 10 durchgeführt.

Nach dem Hochtemperaturprozessschritt folgt eine Wärmebehandlung des Halbleitersubstrats bei niedrigen Temperaturen wie in der ersten, oben beschriebenen 15 Ausführung. Die Temperatur beträgt wiederum etwa 600°C - 700°C , bevorzugt etwa 650°C . Die Dauer der Wärmebehandlung kann aber kürzer sein, da nun lediglich die Poly/ α -Schicht mit einer Schichtdicke von 20 nm bis 40 nm Dicke kristallisiert und damit in eine epitaktische Schicht umgewandelt werden 20 muss. Wie im ersten Ausführungsbeispiel wird nach der Wärmebehandlung bevorzugt eine Nassätzung durchgeführt, um Oxidreste auf der Oberfläche zu beseitigen und die Qualität der Halbleitersubstratoberfläche zu verbessern, bevor das Gateoxid aufgebracht wird.

25 Nachfolgend können das Gateoxid, die Gateelektrode sowie die Source- und Draingebiete der Transistoren nach herkömmlichen Verfahren, die hier nicht weiter erläutert werden, erzeugt werden.

30 Durch das erfindungsgemäße Verfahren kann ein retrogrades Dotierprofil bzw. eine Delta-Dotierung auf relativ einfache und kostengünstige Weise hergestellt werden. Das

erfindungsgemäße Verfahren verwendet Einzelprozessschritte, die bereits in der Massenfertigung von integrierten Schaltungen eingesetzt werden und dementsprechend auf einen hohen Durchsatz ausgelegt werden können.

Bezugszeichenliste

- 1 Halbleitersubstrat
- 2 Oberfläche
- 3 Dotierungsschicht
- 4 Oxidschicht
- 5 Dotierungsprofil
- 5a Dotierungsprofil des Halbleitersubstrats
- 5b Dotierungsprofil der Dotierungsschicht
- 5c Dotierungsprofil der Poly/ α -Schicht
- 7 Poly/ α -Schicht
- 10 Ionenbeschuß
- 12 nicht amorphe Halbleitersubstrat
- 13 amorphe Schicht
- 14 Tiefe der amorphen Schicht
- 15 Übergang amorph/kristallin
- 20 epitaktische Schicht
- 21 Tiefe der „End-of-Range“ Defekte
- 22 „End-of-Range“ Defekte
- 25 SiO_x Inseln
- 26 RTA Prozeßschritt

Patentansprüche

1. Verfahren zur Erzeugung eines dotierten Halbleitersubstrats mit den folgenden Schritten:

- 5 ein Halbleitersubstrat wird bereitgestellt;
in dem Halbleitersubstrat wird an der Oberfläche eine Dotierung erzeugt;
auf die Oberfläche wird eine polykristalline oder amorphe Schicht aufgebracht; und
10 eine Wärmebehandlung wird durchgeführt, so dass eine epitaktische Schicht und eine vergrabene Dotierung erzeugt werden.

2. Verfahren nach Anspruch 1,

- 15 d a d u r c h g e k e n n z e i c h n e t, dass vor Schritt d) durch Ionenbeschuss eine amorphe Schicht erzeugt wird, die bis in eine vorgegebene Tiefe in das Halbleitersubstrat reicht.

20 3. Verfahren nach Anspruch 2,

- d a d u r c h g e k e n n z e i c h n e t, dass der Ionenbeschuss mit Germanium, Silizium und/oder Edelgasionen durchgeführt wird.

25 4. Verfahren nach Anspruch 2 oder 3,

- d a d u r c h g e k e n n z e i c h n e t, dass die amorphe Schicht etwa 500 - 1000 nm dick ist.

5. Verfahren nach Anspruch 1

- 30 d a d u r c h g e k e n n z e i c h n e t, dass vor Schritt d) ein RTA-Prozessschritt durchgeführt wird.

6. Verfahren nach Anspruch 5,

d a d u r c h g e k e n n z e i c h n e t, dass
der RTA-Prozessschritt bei eine Temperatur zwischen 1000° und
1100° C durchgeführt wird.

5 7. Verfahren nach Anspruch 5 bis 6,
d a d u r c h g e k e n n z e i c h n e t, dass
der RTA-Prozessschritt zwischen 10 und 60 s dauert.

10 8. Verfahren einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t, dass
das Halbleitersubstrat Silizium ist.

15 9. Verfahren einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t, dass
die polykristalline oder amorphe Schicht Silizium ist.

10. Verfahren nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t, dass
die Dotierung durch Ionenimplantation erzeugt werden.

20 11. Verfahren nach Anspruch 9,
d a d u r c h g e k e n n z e i c h n e t, dass
die Ionenimplantation mit B, P, As, In und/oder Sb-Ionen
durchgeführt wird.

25 12. Verfahren nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t, dass
die Poly/ α -Schicht durch einen CVD-Prozess bei niedrigem
Druck abgeschieden wird.

30 13. Verfahren nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t, dass

die Poly/ α -Schicht bei niedriger Temperatur, bevorzugt bei etwa 500° C bis 600° C, abgeschieden wird.

14. Verfahren nach einem der vorhergehenden Ansprüche,

5 d a d u r c h g e k e n n z e i c h n e t, dass
die Poly/ α -Schicht etwa 20 nm bis 40 nm dick ist.

15. Verfahren nach einem der vorhergehenden Ansprüche,

10 d a d u r c h g e k e n n z e i c h n e t, dass
die Kristallisierung der amorphen Schicht und/oder der
Poly/ α -Schicht durch einen Niedertemperaturschritt
durchgeführt wird.

16. Verfahren nach Anspruch 15,

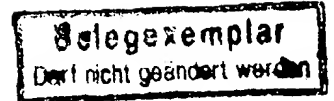
15 d a d u r c h g e k e n n z e i c h n e t, dass
der Niedertemperaturschritt bei einer Temperatur von etwa
600° bis 700°C, bevorzugt 650° C durchgeführt wird.

17. Verfahren nach einem der vorhergehenden Ansprüche,

20 d a d u r c h g e k e n n z e i c h n e t, dass
nach dem Niedertemperaturschritt eine Nassätzung durchgeführt
wird.

18. Verfahren nach einem der vorhergehenden Ansprüche,

25 d a d u r c h g e k e n n z e i c h n e t, dass
die Kristallisierung der amorphen Schicht und/oder der
Poly/ α -Schicht gleichzeitig mit der Bildung eines Gateoxids
durchgeführt wird.



4

Zusammenfassung

Verfahren zur Erzeugung eines dotierten Halbleitersubstrats

- 5 Durch das erfindungsgemäße Verfahren kann ein vergrabenes, retrogrades Dotierprofil bzw. eine Delta-Dotierung auf relativ einfache und kostengünstige Weise hergestellt werden. Das erfindungsgemäße Verfahren verwendet Einzelprozessschritte, die bereits in der Massenfertigung von
- 10 integrierten Schaltungen eingesetzt werden und dementsprechend auf einen hohen Durchsatz ausgelegt werden können.

Fig. 1d

15

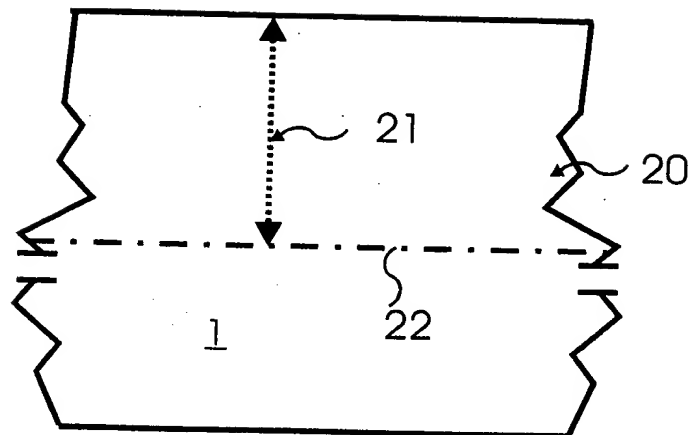
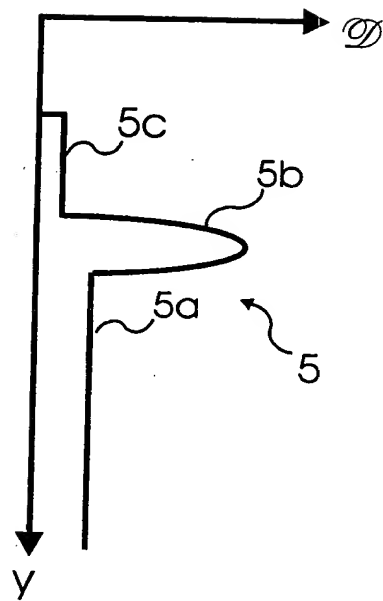


Fig. 1d

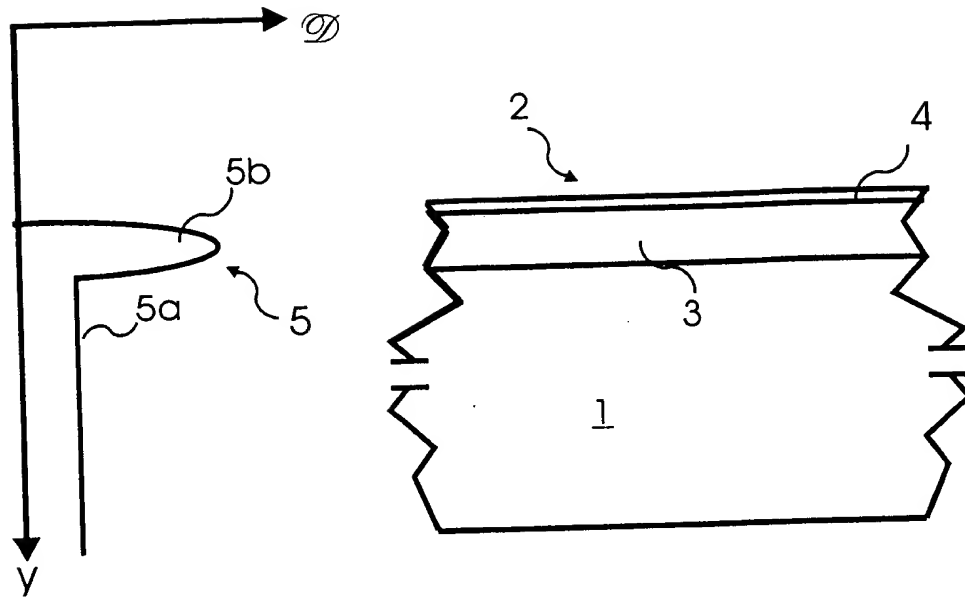


Fig. 1a

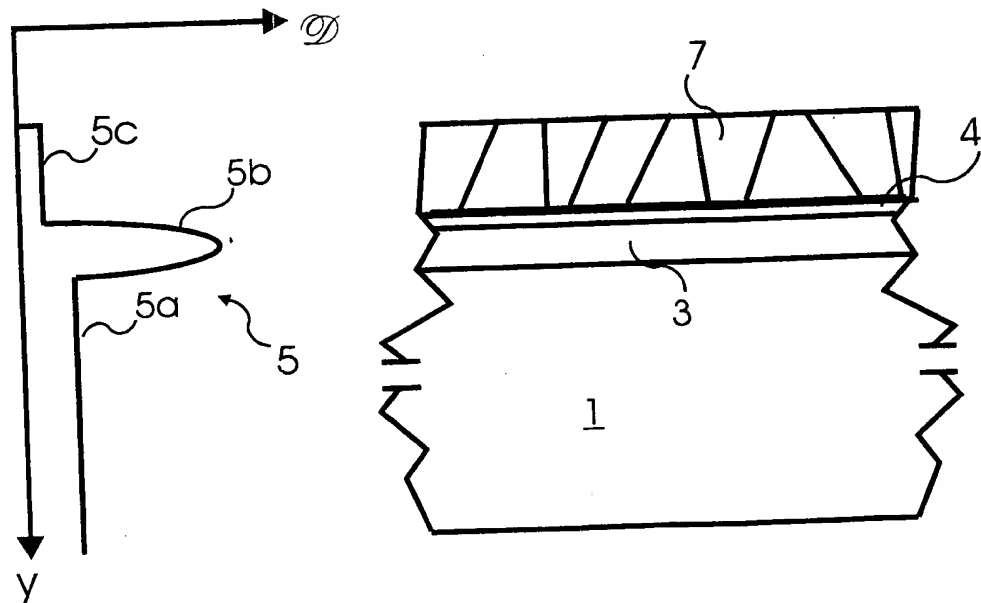


Fig. 1b

Belegexemplar
Dort nicht geändert werden

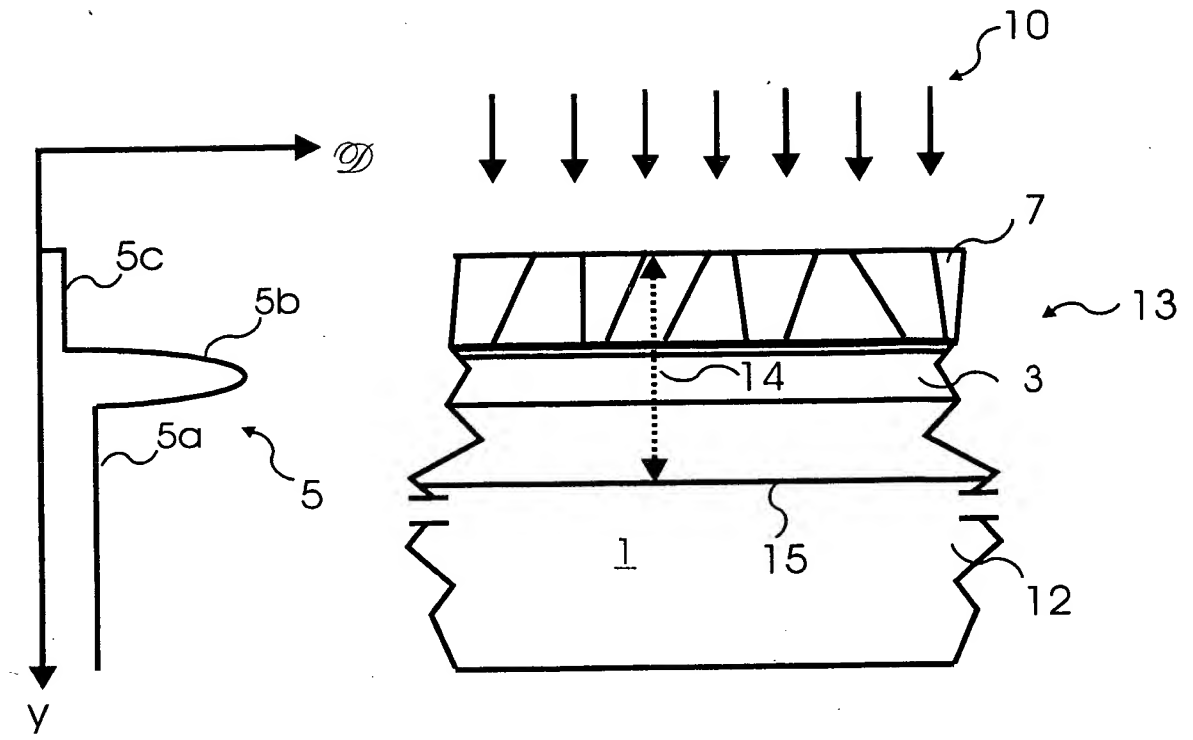


Fig. 1c

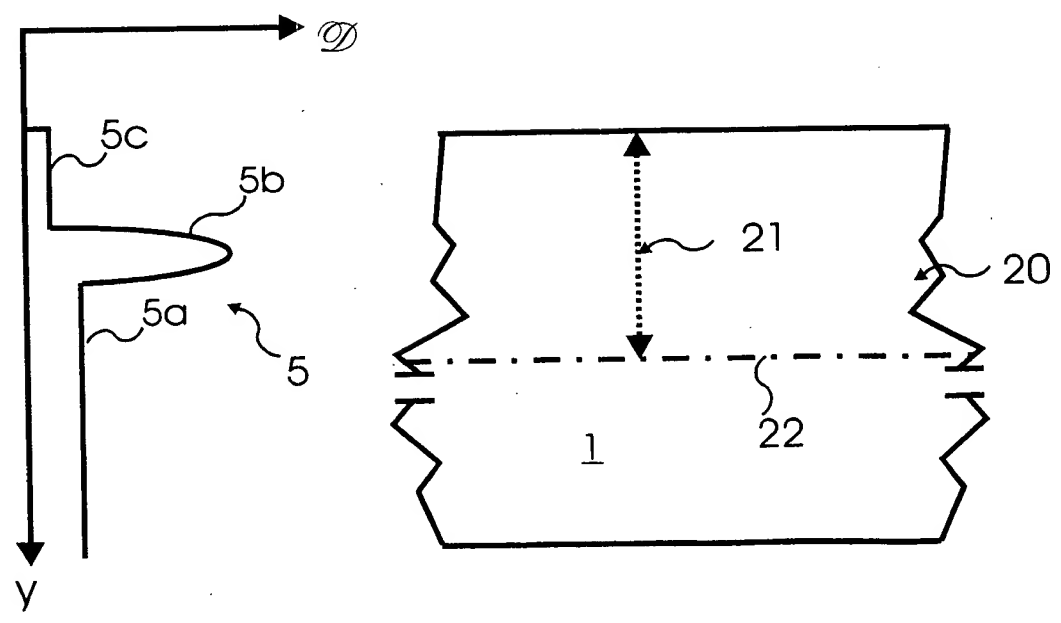


Fig. 1d

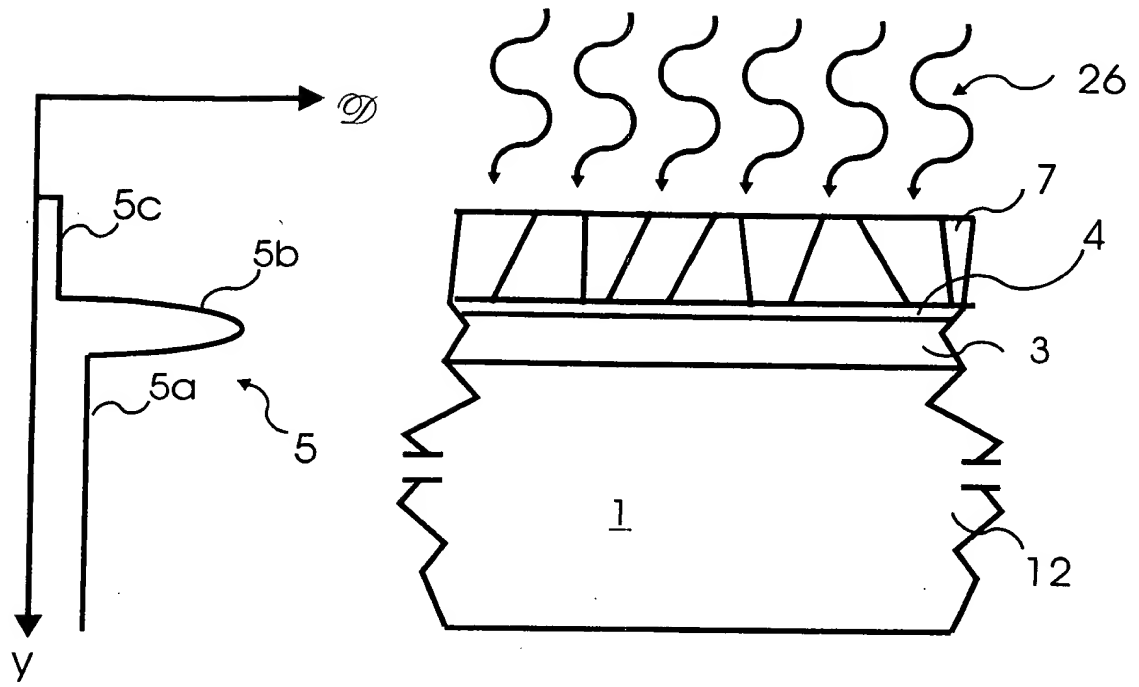


Fig. 2a

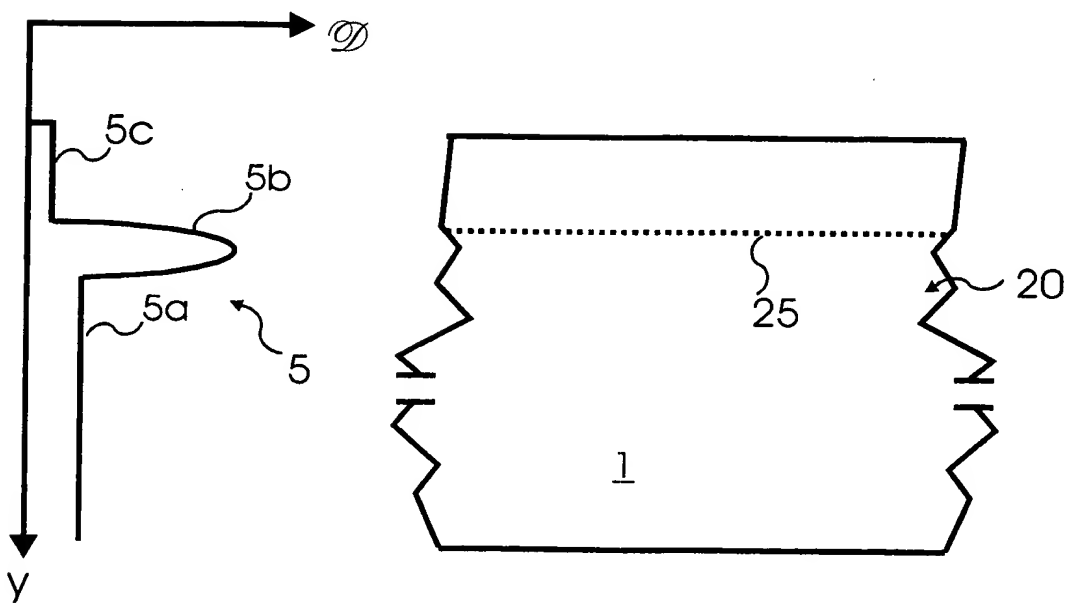


Fig. 2b